

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-020013

(43)Date of publication of application : 02.02.1982

(51)Int.Cl.

H03H 17/02

(21)Application number : 55-094464

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 09.07.1980

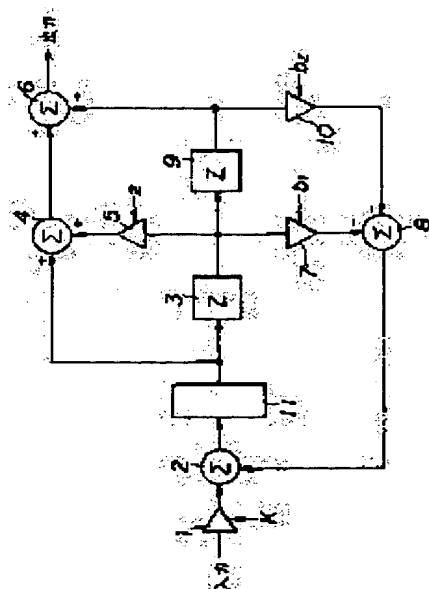
(72)Inventor : SANO SHIGENORI

(54) DIGITAL FILTER DEVICE

(57)Abstract:

PURPOSE: To prevent the overflow of external equipment by outputting the maximum and minimum values of the dynamic range of arithmetic selectively when an overflow occurs to the dynamic range.

CONSTITUTION: A multiplier 1 multiplies input data by K and supplies the result to an adder 2. The output of the adder is supplied via a digit overflow processing circuit 11 to a delay circuit 3 to be delayed and the output of the circuit 3 is doubled 2 and supplied to an adder 4. The output of the circuit 3 is multiplied 7 by b1 and the result is supplied to an adder 8 and a delay circuit 9. The output of the circuit 9 is supplied to an adder 6 and also supplied to the adder 8 after being multiplied 10 by b2. The adder 8 calculates the difference between the outputs of the multiplier 7 and multipliers 10 and applies it to the adder 2. In this constitution, if an overflow occurs, the circuit 11 operates to output data which is the maximum value of a dynamic range when it is positive and the minimum value when negative. Thus, the overflow is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—20013

⑬ Int. Cl.³
H 03 H 17/02

識別記号

庁内整理番号
8124—5 J

⑭ 公開 昭和57年(1982)2月2日

発明の数 1
審査請求 未請求

(全 7 頁)

⑮ デジタルフィルタ装置

⑯ 特 願 昭55—94464

⑰ 出 願 昭55(1980)7月9日

⑱ 発 明 者 佐野重則

東京都西多摩郡羽村町栄町3丁

目2番1号カシオ計算機株式会
社羽村技術センター内

⑲ 出 願 人 カシオ計算機株式会社

東京都新宿区西新宿2丁目6番
1号

明 細 書

1. 発明の名称

デジタルフィルタ装置

2. 特許請求の範囲

(1) 少なくとも乗算器、加算器、遅延回路を備え、デジタル演算処理により動作するデジタルフィルタ装置に於て、該デジタルフィルタ装置の伝達関数の零点に基き決定されるダイナミックレンジに対し、処理データのオーバーフローを検出する第1の手段と、この第1の手段によりオーバーフローが検出された場合は上記ダイナミックレンジの最大値あるいは、最小値を選択出力する第2の手段とを具備したことを特徴とするデジタルフィルタ装置。

(2) 上記第1の手段において、上記処理データのダイナミックレンジは、上記伝達関数の零点を決定する上記伝達関数の係数に基き設定されることを特徴とする特許請求の範囲第1項記載のデジタルフィルタ装置。

3. 発明の詳細な説明

本発明は、伝達関数の零点により決定されるダイナミックレンジに対するオーバーフロー処理を可能としたデジタルフィルタ装置に関する。

従来より、乗算器、加算器、遅延回路等より成るデジタルフィルタ装置が種々考えられている。例えば、第1図は、零点が $z = -1$ に2重に存在する2次/2次の巡回形デジタルフィルタ装置を示すもので、図中1は乗算器で、外部の例えばROM(リードオンリメモリ)より係数Kが与えられ、入力データをK倍して加算器2に供給する。この加算器2の出力は単位時間の遅延を行う遅延回路3に供給されると共に、加算器4に供給される。更に、この加算器4には、上記遅延回路3出力が乗算器5にて2倍されて供給され、これ等のデータを加算してその結果データを加算器6に供給する。

また、上記遅延回路3出力は乗算器7にてb₁倍して加算器8に供給されると共に、単位時間の遅延を行う遅延回路9に供給される。そして、この遅延回路9出力は、直接加算器6に供給される。

と共に、乗算器10に供給され b_1 倍されて加算器8に与えられる。

加算器8では、上記乗算器7出力と乗算器10出力の各々を減算して、加算器2に印加する。従って、上記加算器2は、乗算器1出力と加算器8出力を加算する。

このように構成されたデジタルフィルタ装置の出力は、加算器4出力と遅延回路9出力を加算する上記加算器6の出力であり、従って、上記デジタルフィルタの伝達関数は

$$H(z) = K \frac{(1+Z^{-1})^2}{1+b_1Z^{-1}+b_2Z^{-2}} \quad \dots \text{式(1)}$$

となる。尚、上記デジタルフィルタの演算処理は2の補数表現で全てパラレルに行われ、その信号伝送ラインもパラレルに設けられている。

然るに、このようなデジタルフィルタ装置においては、各データが有限ビット長で表わされる為、演算結果が常にダイナミックレンジを越えないようにする必要がある。しかして、このデジタルフィルタ装置を外部装置例えばD-A変換器

に接続した場合、このデジタルフィルタ装置に対する入力信号の絶対値を1未満とした際は、出力信号の絶対値も1未満であることが望ましく、そのように外部装置に対する供給信号のダイナミックレンジを決定した場合は、当然デジタルフィルタ装置の演算のダイナミックレンジを決定する必要がある。従って、もし、このダイナミックレンジを越えようと、外部装置がオーバーフローしてしまうほか、更には、このデジタルフィルタ装置も過剰状態となるという問題がある。

また、デジタルフィルタ装置の特性には「ギブスの現象」で知られているように、ある種の波形のひずみが、一般に生ずるものであり、この「ギブスの現象」を小さくする為に、デジタルフィルタ装置の設計では「窓による設計」等が行われているが、この方法では、他のある種の波形ひずみを犠牲にして「ギブスの現象」を小さくしているにすぎないものであった。

この発明は、以上の点に鑑みてなされたもので、デジタルフィルタ装置の伝達関数の零点に応じ

$$|b_1| < 1 \quad \dots \text{式(3)}$$

でなければならない。

ところで、いま桁あふれ処理回路11の出力の絶対値を d 未満とすると、乗算器5出力の絶対値は $2d$ 未満となり、従って加算器4出力の絶対値は $3d$ 未満となり、よって、加算器6出力の絶対値は $4d$ 未満となる。従って、上記仮定を満足するようにするには、上記データ d は、 $d = \frac{1}{4}$ とせざるを得ない。

このように、 $d = \frac{1}{4}$ とすると、このデジタルフィルタ装置の巡回経路内での各データの大きさは図1表のようになる。

図 1 表

回 路	出力の絶対値
乗算器7	$\frac{1}{2}$ 未 満
乗算器10	$\frac{1}{4}$ 未 満
加算器8	$\frac{3}{4}$ 未 満
乗算器1	1 未 満
加算器2	$\frac{7}{4}$ 未 満

て、演算のダイナミックレンジを決定し、このダイナミックレンジに対するオーバーフローが生じた場合は、このダイナミックレンジの最大値あるいは最小値を選択的に出力して、フィルタの振幅特性を良好にしたデジタルフィルタ装置を提供することを目的とする。

以下、本発明の一実施例につき、図面を参照して詳細に説明する。第2図は、本実施例の回路構成を示すものであるが説明の簡略化の為、第1図と同一箇所には同一符号を付し、その説明も省略する。図中11は桁あふれ処理回路で、その詳細を説明する前に、この桁あふれ処理回路11の概略につき説明する。即ち、入力信号をその絶対値が1未満のデータであるとして、次の仮定、即ち「デジタルフィルタ装置の出力の絶対値は1未満のデータである。」という仮定をする。

更に、フィルタが安定して動作する為に伝達関数の極が全て Z 平面上の単位円内にある必要があり、その為、上記伝達関数の係数 b_1 、 b_2 は

$$|b_1| < 2 \quad \dots \text{式(2)}$$

従って、桁あふれ処理回路11に対する入力
の絶対値は $\frac{1}{4}$ 未満のデータとなり、桁あふれ処理回
路11では、この入力データに対し出力データの
絶対値が $\frac{1}{4}$ 未満のデータとなるように制御するも
のである。

以下、この桁あふれ処理回路11につき第3図
を参照して説明する。この桁あふれ処理回路11
の入力は、上述したように、その絶対値が $\frac{1}{4}$ 未満
である為、小数点以上2ビット（そのうち上位ビ
ットは符号ビットである。）であり、また、小数
点以下を8ビットとする。このデータのうち、小
数点以下の第2ビット以下第8ビットは、トラン
スファグート20～26に供給され、小数点以下
第1、第2ビット及び小数点以上第1ビット、第
2ビットはアンドゲート13へ直接供給されると
共に、インバータ14～17を介してアンドゲー
ト18に供給される。そして、このアンドゲー
ト13、18の出力はオアゲート19を介して、上
記トランスファグート20～26の構成信号とな
ると共にインバータ27を介して後述するトラン

スファグート30～36の構成信号となる。

即ち、上記トランスファグート30には、上記
入力データの小数点以上第2ビットである符号ビ
ットが供給され、上記トランスファグート31～
36には上記符号ビットがインバータ28にて反
転された信号が各々供給される。

そして、上記オアゲート19出力が・1・の場
合は、トランスファグート20～26の出力が桁
あふれ処理回路11の出力となり、上記オアゲー
ト19出力が・0・の場合は、トランスファグ
ート30～36の出力が桁あふれ処理回路11の出
力となる。尚、桁あふれ処理回路11からは、最
上位ビットとして符号ビットが、その第2ビット
～第7ビットとして「 2^{-1} 」～「 2^{-6} 」の重み付け
されたデータが出力される。

次に、以上の如く構成された本実施例の動作に
つき説明する。即ち、加算器8出力及び乗算器1
出力を加算する加算器2の出力データの大きさに
応じて、桁あふれ処理回路11ではその出力デー
タを制御する。第4図は、その状態を説明したも

ので、例えば第4図(A)の如く、桁あふれ処理回
路12に対する入力データの絶対値が $\frac{1}{4}$ より小の
際、即ち正の場合は小数点以下第2ビット以上4
ビットがオール0であり、負の場合は小数点以下
第2ビット以上4ビットがオール1である為、第
3図のANDゲート13またはANDゲート18
より信号・1・が出力されることになり、従って、
トランスファグート20～26が構成され、入力
データが、そのまま出力データとなる。

また、第4図(B)は、桁あふれ処理回路11に
対する入力データの絶対値が $\frac{1}{4}$ 以上 $\frac{1}{2}$ 未満の場合
であり、このときは、上記オアゲート19出力は
・0・となる為、トランスファグート30～36
が構成されることになる。従って、この桁あふれ
処理回路11に対する入力データが正值の場合は
符号ビットのみを・0・とし、他のビットを全て
・1・として、出力することになり、他方、上記
入力データが負値の場合は、符号ビットのみを・1・
とし、他のビットを全て・0・として出力するこ
とになる。よって、この場合は、桁あふれ処理回

路11の出力は、正の場合ダイナミックレンジの
最大値となり、負の場合ダイナミックレンジの最
小値となる。

更に、第4図(C)、(D)は各々、桁あふれ処理回路
11に対する入力データの絶対値が $\frac{1}{2}$ 以上1未満
の場合と、1以上 $\frac{7}{4}$ 未満の場合を示すものである
が、いずれの場合も、上記第4図(B)の場合と同様
に、桁あふれ処理回路11は動作し、その出力デ
ータは正の場合ダイナミックレンジの最大値とな
り、負の場合はダイナミックレンジの最小値とな
るものである。

従って、第2図に示すデジタルフィルタでは、
桁あふれ処理回路11によつて、ダイナミックレ
ンジに対するオーバーフローが防止出来、外部装
置に対するオーバーフローの防止が可能となると
共に、デジタルフィルタ装置の発振動作をも防
止し得るものである。

以 下 余 白

デジタルフィルタ装置に適用した第2の実施例につき説明する。

即ち、その伝達関数は

$$H(z) = K \frac{1 + a_1 z^{-1} + a_2 z^{-2}}{1 + b_1 z^{-1} + b_2 z^{-2}} \quad \dots \text{式(4)}$$

となり、第7図に示すように構成される。尚、説明の簡略化の為第2図と同一箇所には同一符号を付し、その説明を省略する。しかして、第7図に於て、遅延回路9の出力は乗算器12に供給され、 a_2 倍されて、加算器6に供給されると共に、乗算器5'は、外部から供給される係数 a_1 を入力データに乘算し、その出力データを加算器4に供給する。

従って、いま加算器6の出力の絶対値を1未満とした場合、桁あふれ処理回路11'の出力の絶対値を d' 未満として求める。

即ち、乗算器5'出力の絶対値は、 $a_1 d'$ 未満となり、従って、加算器4出力の絶対値は $(1 + a_1) d'$ 未満となる。また、乗算器12出力の絶対値は $a_2 d'$ 未満となる為、加算器6の出

~~路11'によって、ダイナミックレンジに対するオーバーフローが防止出来、外部装置に対するオーバーフローの防止が可能となると共に、デジタルフィルタ装置の共振動作をも防止し得るものである。~~

図5図は、上記実施例のデジタルフィルタ装置を、カットオフ周波数 $f_c = 10 \text{ KHz}$ とし、サンプリング周期 $T_s = 1/6 \text{ KHz}$ とした場合のステップ応答と、従来の桁あふれ処理回路を備えていないデジタルフィルタ装置の、上記同様の条件におけるステップ応答とを示す図で、図中 a が本実施例による出力を示し、図中 b が従来例による出力を示すものである。また、図6図は、第5図の一部を拡大したものである。

このように、本実施例のデジタルフィルタ装置では出力が1未満に必ずなることにより、オーバーフローの防止が出来ると共に、「ギブスの現象」が完全に解消し得、従来例に比べて波形ひずみが少ないことは明らかである。

次に、本発明を一般の2次/2次の巡回形ディ

力の絶対値は結局 $(1 + a_1 + a_2) d'$ 未満となる為、加算器6の出力の絶対値は結局 $(1 + a_1 + a_2) d'$ 未満となるものである。従って、上記 d' は $\frac{1}{1 + a_1 + a_2}$ となる。

このように、 $d' = \frac{1}{1 + a_1 + a_2}$ とすると、このデジタルフィルタ装置の巡回経路内の各データの大きさは、第2表のようになる。

第 2 表

回 路	出力の絶対値
乗算器7	$\frac{2}{1 + a_1 + a_2}$ 未満
乗算器10	$\frac{1}{1 + a_1 + a_2}$ 未満
加算器8	$\frac{3}{1 + a_1 + a_2}$ 未満
乗算器1	1 未満
加算器2	$\frac{4 + a_1 + a_2}{1 + a_1 + a_2}$ 未満

従って、桁あふれ処理回路11'に対する入力
の絶対値は $\frac{4 + a_1 + a_2}{1 + a_1 + a_2}$ 未満のデータとなるが、桁あふれ処理回路11'では、上記実施例同様、出

力データの絶対値が $\frac{1}{1 + a_1 + a_2}$ 未満のデータとなるように制御する。

即ち、この桁あふれ処理回路11'では、その入力データの絶対値が $\frac{1}{1 + a_1 + a_2}$ 未満の場合は、入力データをそのまま出力し、上記入力データの絶対値が $\frac{1}{1 + a_1 + a_2}$ 以上 $\frac{4 + a_1 + a_2}{1 + a_1 + a_2}$ 未満の場合、正值の際は可能最大値 $(\frac{1}{1 + a_1 + a_2})$ に最も近い値)を、負値の際は可能最小値 $(-\frac{1}{1 + a_1 + a_2})$ に最も近い値)を各々選択出力するものである。尚、その詳細な回路構成については省略する。

更に、本発明の第1、第2実施例において、より効果的にデジタルフィルタ装置を動作せしめるには、ナイキストのサンプリング定理に基づきサンプリング周波数を f_s とした時、フィルタの入力は $f_s/2$ 以上の周波数成分は含まないようにすればよく、さらに折返しひずみとの関係から、フィルタの入力周波数成分を $f_s/4$ で制限すると、一層効果的である。

尚、上記実施例は、本発明を2次/2次のデジタルフィルタ装置に適用したものであったが、

この発明は、それに限定されるものではなく、より高次のデジタルフィルタ装置に適用し得るのであり、その場合、桁あふれ処理回路では、伝達関数の零点に基づき、ダイナミックレンジを決定し、ダイナミックレンジを超える入力に対しては、~~可能~~最大値あるいは~~可能~~最小値を出力するようにすれば良い。

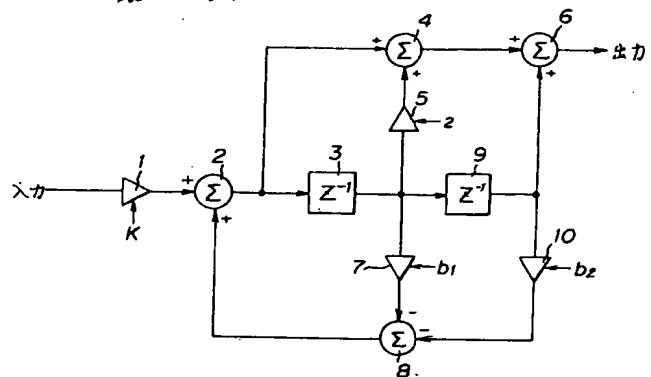
また、1つのデジタルフィルタ装置に対し、外部ROMから係数を供給して、種々の特性を有するフィルタを生成する場合は、上記桁あふれ処理回路において伝達関数の零点を決定する係数データから、~~可能~~最大値および~~可能~~最小値を算出して、ダイナミックレンジを決定し、このダイナミックレンジ内に入力データが存する場合は、入力データを桁あふれ回路の出力とし、上記ダイナミックレンジ内に上記入力データが存しない場合、入力データが正値の際は上記演算で算出した~~可能~~最大値を、入力データが負値の際は上記演算で算出した~~可能~~最小値を各々出力するように制御すれば良い。

更に、桁あふれ処理回路を設ける回路位値も、勿論必要に応じて種々変更し得ることは勿論である。

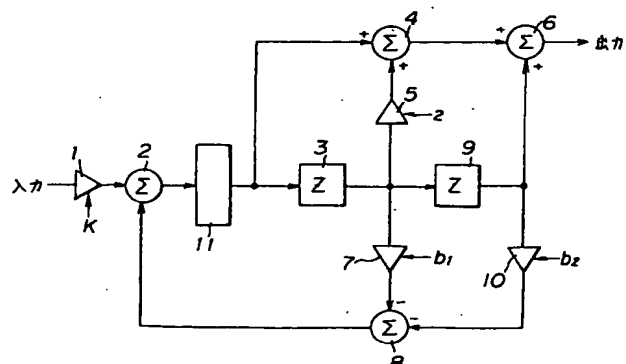
加えて、上記実施例は、パラレル演算により動作するデジタルフィルタ装置に本発明を適用したものであるが、シリアル演算により動作するデジタルフィルタ装置に本発明を適用し得ることは勿論であり、その場合は桁あふれ処理回路の構成がシリアル演算に適した回路構成となることは勿論である。

以上詳述した如く、本発明のデジタルフィルタ装置は、デジタルフィルタ装置の伝達関数の零点に応じて、演算のダイナミックレンジを決定し、このダイナミックレンジに対してオーバーフローが生じた場合は、このダイナミックレンジの最大値あるいは最小値を選択的に出力するようにした為、このデジタルフィルタ装置を接続する外部機器におけるオーバーフローを防止し得ると共に、デジタルフィルタ装置のオーバーフローによる不規則振動作を防止し得、また、フィルタの特性を悪化させることなく「ギブスの現象」を小

第1図



第2図



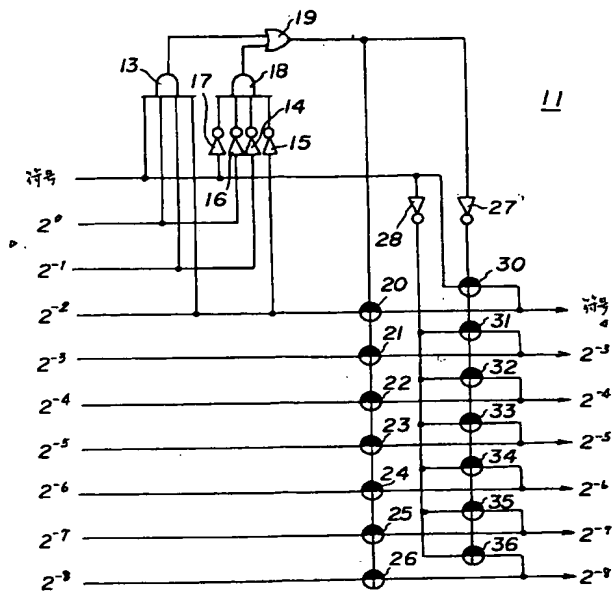
さくすることが出来、フィルタの振幅特性の向上がはかれ、更に、ダイナミックレンジが決定される為、固定小数点演算に非常に有効である等の優れた効果を奏するものである。

4. 図面の簡単な説明

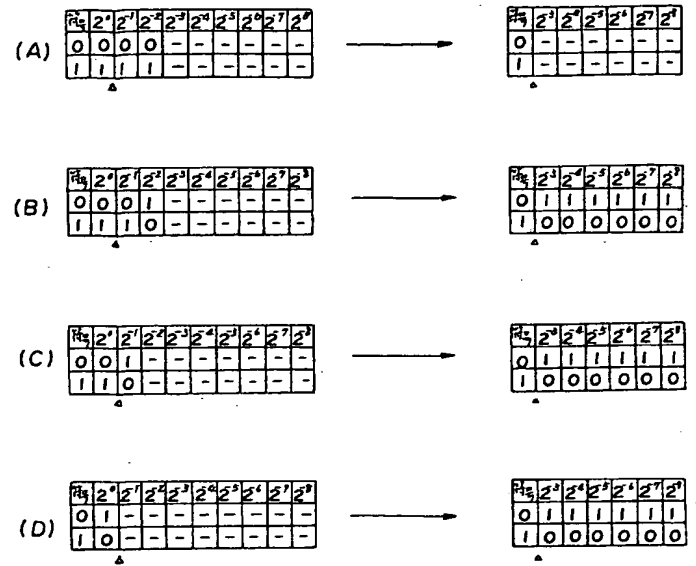
第1図は従来のデジタルフィルタ装置の回路構成を示す図、第2図は、本発明の第1の実施例の回路構成を示す図、第3図は第2図の桁あふれ処理回路の詳細を示す図、第4図は、本実施例の動作を説明する為の図、第5図及び第6図は、本実施例のデジタルフィルタ装置のステップ応答と、従来のデジタルフィルタ装置のステップ応答とを比較する為の出力図、第7図は、本発明の第2の実施例の回路構成を示す図である。

- 1、5、7、10、12…乗算器、
- 2、4、6、8…加算器、
- 3、9…遅延回路、
- 11、11'…桁あふれ処理回路、
- 13、18…アンドゲート、
- 20～26、30～36…トランスファゲート

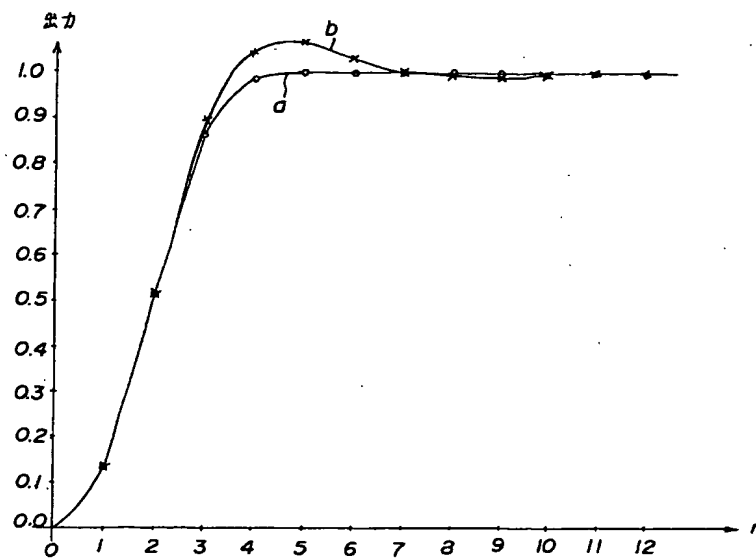
第 3 図



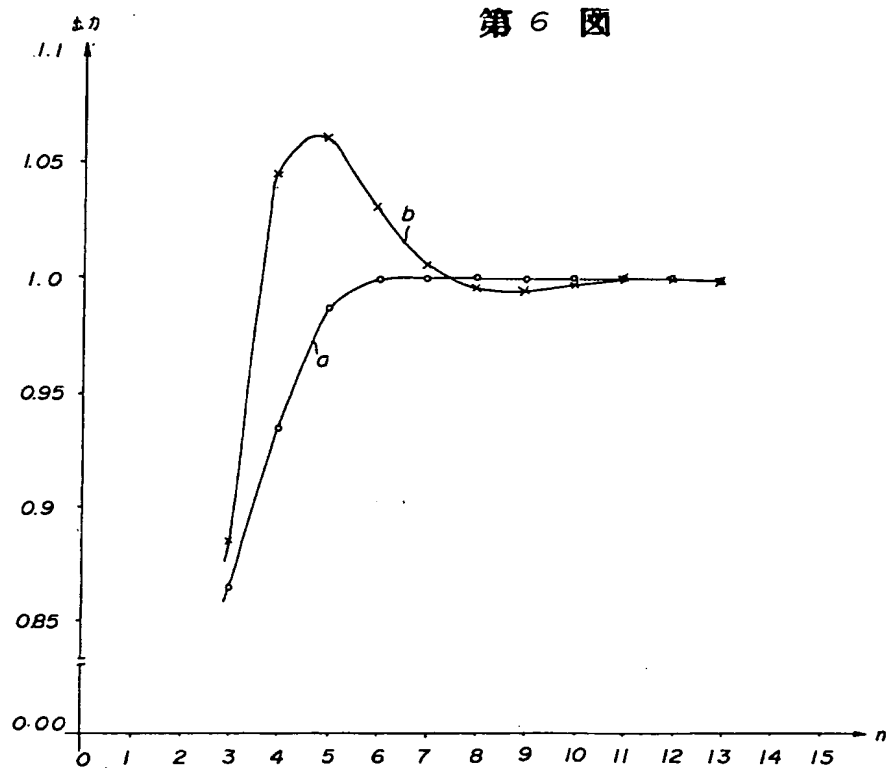
第 4 図



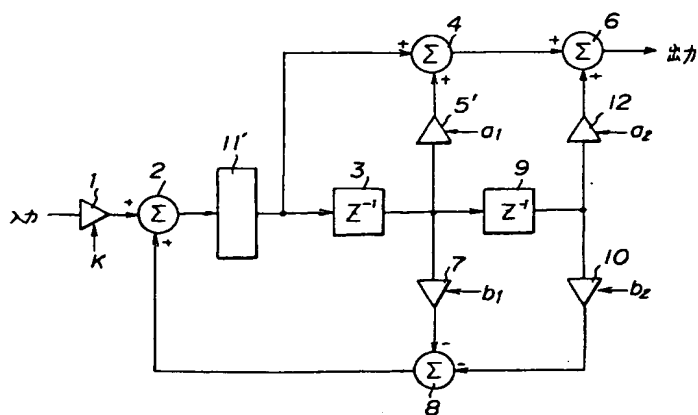
第 5 図



第 6 図



第 7 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.